JL701N 蓝牙音箱
硬件设计指南

版本：V1.4

日期：2025.01.13

目 录

第 1 章 硬件框架 1
1.1 系统框图 1
1.2 资源概述 1
第 2 章 芯片最小系统 3
2.1 电源 4
2.1.1 VBAT 4
2.1.2 VPWR 5
2.1.3 IOVDD 5
2.1.4 DCVDD 6
2.1.5 VCM、ACM、HPVDD 6
2.1.6 电源参数 7
2.2 地 8
2.3 晶振 9
第 3 章 主要功能模块硬件设计说明 10
3.1 蓝牙模块 10
3.1.1 原理图设计注意事项 10
3.1.2 PCB 设计注意事项 11
3.2 SDIO 模块 11
3.2.1 原理图设计注意事项 11
3.2.2 PCB 设计注意事项 12
3.3 USB 模块 13
3.3.1 原理图设计注意事项 13
3.3.2 PCB 设计注意事项 13
3.4 AUDIO ADC 模块 13
3.4.1 原理图设计注意事项 14
3.4.2 PCB 设计注意事项 15
3.5 AUDIO DAC 模块 16
3.5.1 原理图设计注意事项 16
3.5.2 PCB 设计注意事项 16
3.6 外置功放模块 17
3.6.1 原理图设计注意事项 17
3.6.2 PCB 设计注意事项 17

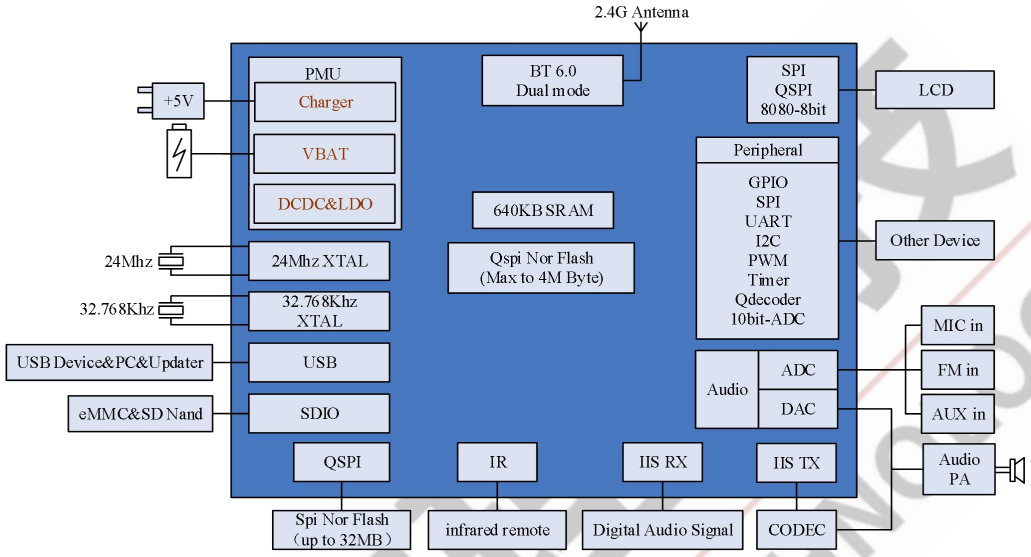
3.7 GPIO 18
3.7.1 电气特性 18
3.7.2 软开机/上电开机 IO 特殊状态 19
3.7.3 数字外设端口重映射 19
3.7.4 IIS 20
3.7.5 IIC 20
3.7.6 UART 21
第 4 章 认证相关 22
4.1 防静电设计 22
4.1.1 硬件设计阶段防静电措施 22
4.1.2 生产阶段防静电措施 22
4.2 EMC 优化设计 23

版本历史

日期	版本号	更新描述
2022.08.11	V1.0	初始版本
2023.12.26	V1.1	补充 SDIO 支持映射的描述；更新 GPIO 电气特性驱动能力档位的描述；更新软开关机 IO 状态的描述
2024.01.03	V1.2	删除 PB 口高压 IO 的描述
2024.07.03	V1.3	更新软开关机及上电开关机 IO 状态的描述
2025.01.13	V1.4	更新 JL7016C 最小系统 更新 IOVDD 退耦电容要求 更新蓝牙版本为 6.0

第 1 章　硬件框架

1.1　系统框图



JL701N 音箱系统框图

1.2　资源概述

JL701N 蓝牙音箱系统主要功能如下：

·内置线性锂电池充电管理，包括充电输入检查，涓流、恒流、恒压充电、判满等

·支持 DC-DC/LDO 转换器

·Bluetooth V6.0 支持 LE audio BIS/CIS 功能

·24MHz 主系统晶体振荡器及 32.768Khz RTC 时钟晶体振荡器

·最大支持 4M Byte 内置 QSPI Nor Flash 代码空间

·可外置 Nor Flash，最大支持 32M Byte 扩容

·1 路 Full Speed USB Master/Slave 接口

·1 路 SD Nand/eMMC 接口

·4 路 Audio ADC 输入接口

·2 路 Audio DAC 输出接口

·1 路 IIS Master/Slave 接口

·2 路 IIC Master/Slave 接口

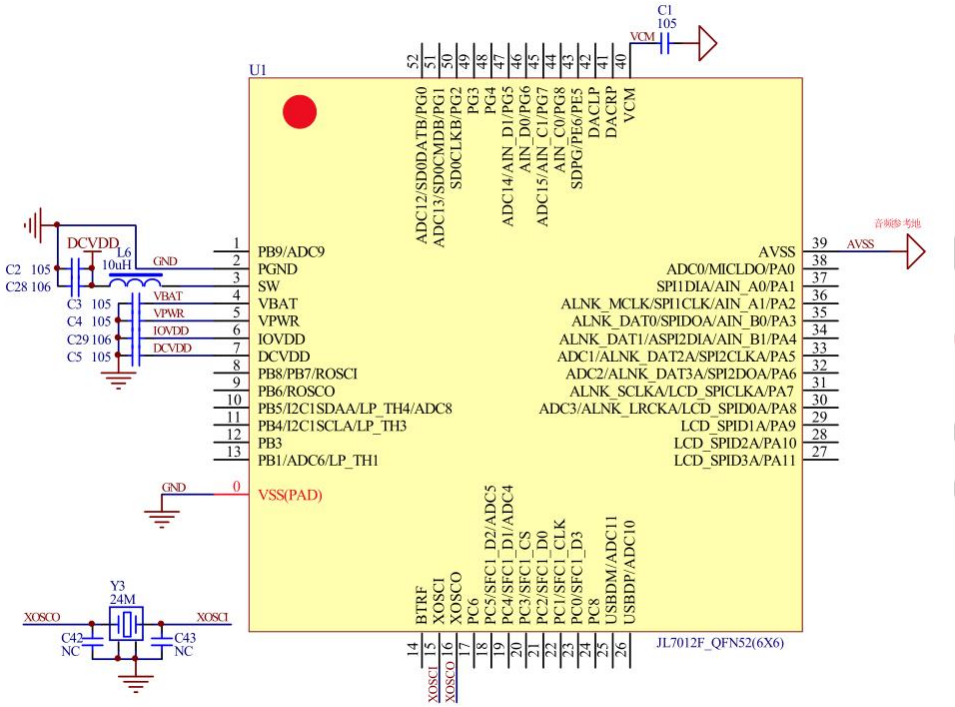
·4 路 UART 接口

·4 路 SPI Master/Slave 接口
·支持红外功能
·支持最多 13 路 10-bit ADC
·6 个 32 位异步分频可重载定时器
·支持 LP_CTMU 低功耗高精度触摸按键
·支持 SPI（兼容 DSPI/QSPI）、8080-8bit MCU 显示驱动，支持 360*360 分辨率
·GPIO 及其重映射功能，最多支持 12 路唤醒中断口
·其他外设接口

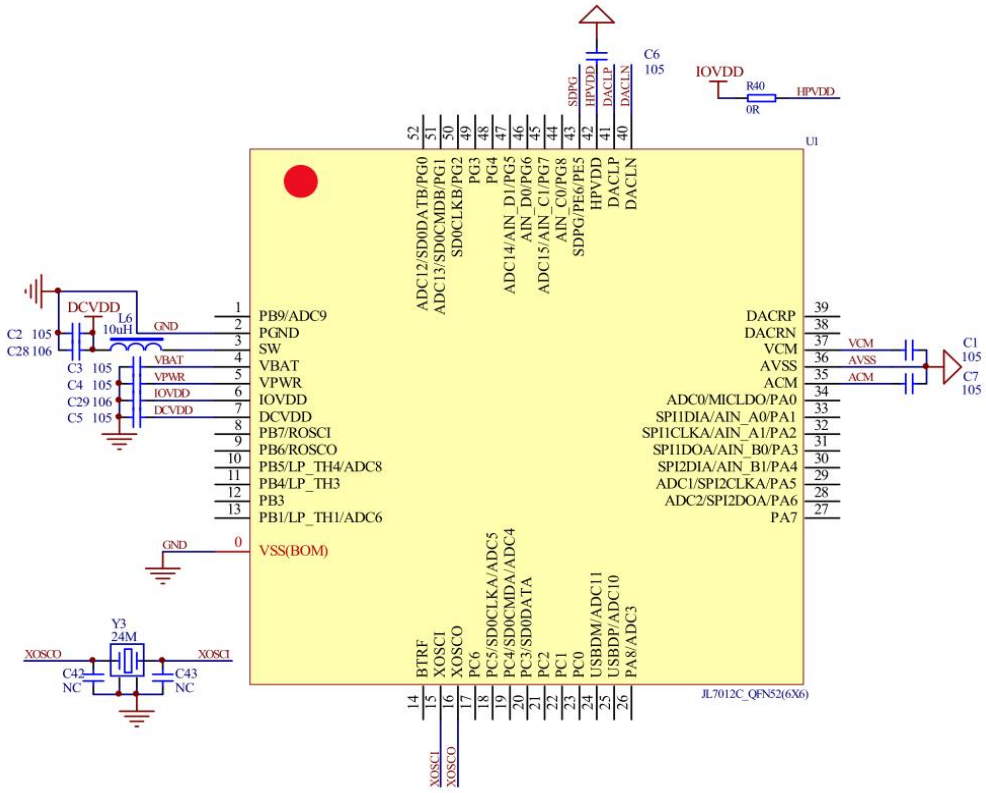
杰理科技 JIELI TECHNOLOGY

第 2 章　芯片最小系统

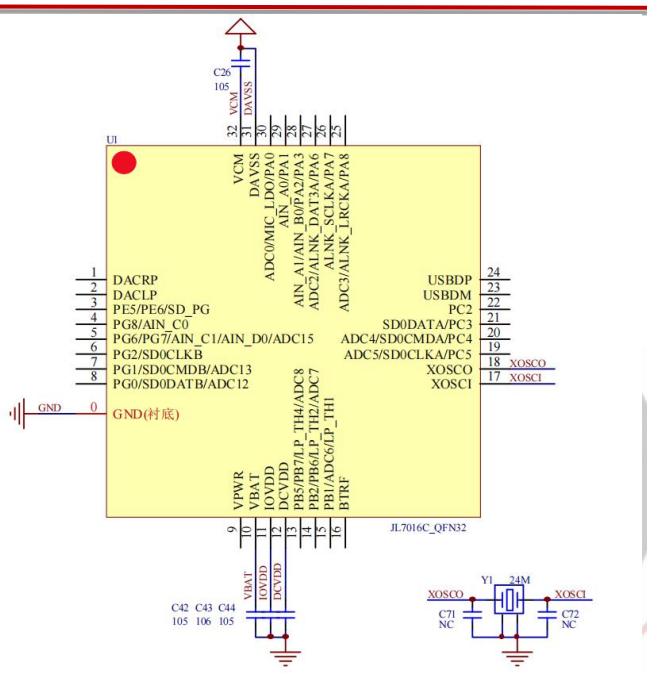
JL701N 芯片正常运行最小系统主要包括：电源、地、晶振等。如下图所示：



JL7012F 最小系统



JL7012C 最小系统



JL7016C 最小系统

2.1 电源

芯片各电源退耦电容，需保证容值和品质，VBAT、VPWR、DCVDD 的电容需选择 16V 的耐压值，其他为 6.3V 的耐压值。详见标准原理图。

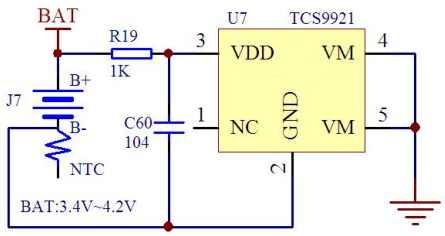
2.1.1 VBAT

VBAT 为芯片供电电源输入口，内置 10-bit ADC 提供电池电压采样，需要靠近 VBAT 引脚处放置 105 或以上退耦电容，且确保实际容值不因品质、封装、耐压等因素而导致容值减少超过 20%以上。

设计注意事项：

（1）退耦电容地以最短路径大面积回流到 VSS（GND）管脚；

（2）音箱方案建议加电池保护 IC，选型根据实际功耗情况决定，参考电路如下图；



（3）VBAT 电压输入不能超过 4.5V，否则有损坏芯片风险，1TO1 升级工具、USB 音箱需降压到正常范围内才能给 VBAT 供电，也可直接通过给 VPWR 供电让芯片工作；

（4）大功率音箱方案中，VBAT 建议用稳压 IC 从电池取电，防止功放大功率播放音乐时，电源抖动，导致主控工作异常；

（5）VBAT 预留单向 TVS 管，走线必须先经过 TVS 焊盘后再引线 VBAT 管脚，单向 TVS 选型推荐：ST0651D4/ST0571D4/RSD8576AF；

（6）VBAT 走线线宽建议 0.5mm 以上。

2.1.2 VPWR

VPWR 为内置充电输入接口，功能包括：充电输入电压检测，电池电量检测，涓流充电，恒流充电（最大 200mA），电池判满电压和判满电流等，支持寄存器配置充电相关参数。不使用内置充电功能时，VPWR 管脚可当普通 I/O 做输入、输出使用。

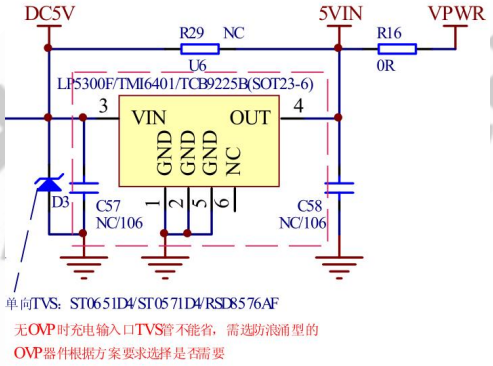
设计注意事项：

（1）充电输入口 VPWR 输入电压应当≤5.5V，必要时做好反接保护；

（2）当 VPWR 有稳定输入时，VBAT 管脚无需挂载电池，系统也能正常工作；

（3）当芯片使用 VPWR 供电，VBAT 管脚不挂电池时，DCVDD 须使用 LDO 模式；

（4）为防止浪涌或过压对充电口造成损害，VPWR 充电输入口建议用单向 TVS 保护管或外挂集成 OVP 保护 IC，如下图所示，电源走线必须先经过 TVS 焊盘后再引线到 VPWR 管脚，单向 TVS 选型推荐：ST0651D4/ST0571D4/RSD8576AF。



（5）VPWR 走线线宽建议 0.5mm 以上。

（6）无内置充电功能时，VPWR 可做 IO 使用，此时无需退耦电容。

2.1.3 IOVDD

IOVDD 为 VBAT 经芯片内部 LDO 稳压的电源，可为外设供电，最大驱动电流≈120mA（IOVDD=3V @ VBAT = 3.3V），电压范围：2V~3.4V，软件可调。为了保证电源稳定性，必须在 IOVDD 管脚网络上放置 105 以上退耦电容，且确保实际容值不因品质、封装、耐压等因素而导致容值减少超过 20%以上（推荐 106 电容，确保余量足够）。

设计注意事项：

（1）退耦电容地以最短路径大面积回流到 VSS（GND）管脚或衬底；

（2）IOVDD 无法关断，软关机后不掉电，为系统关机状态下提供电源；

（3）当外设总电流大于 120mA 或者对电源 PSRR 有较高要求时，必须单独外加稳压芯片给外设供电；

（4）IOVDD 为芯片内部内核、蓝牙、音频、GPIO 等的主输入电源，对芯片各模块性能影响极大，应避免受干扰，保证电源稳定性；

（5）IOVDD 走线线宽建议 0.3mm 以上。

2.1.4 DCVDD

DCVDD 为蓝牙系统及 CPU 内核电压的供电电源，支持 LDO（从 IOVDD 取电）和 DCDC（从 VBAT 取电）两种模式。其中，DCDC 通过开关降压稳压方式给蓝牙系统和 CPU 内核供电，从而降低 VBAT 电流，提升电池使用效率。

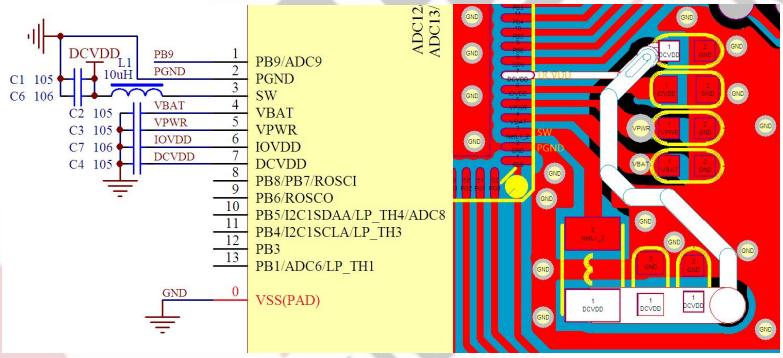
设计注意事项：

（1）DCDC 退耦电容地以最短路径大面积回流到 PGND 管脚，就近与衬底短接；

（2）VBAT 是 DCDC 的输入电源，退耦电容 C2 应该靠近芯片 VBAT 管脚放置；

（3）电感规格选型：电感量为 10uH，直流电阻≤0.5R，饱和电流≥150mA，建议使用磁屏蔽电感，且远离磁铁；

（4）功率电感 L1 和退耦电容 C1、C4、C6 靠近芯片放置，主电流路径布线采用宽线和短线，减少寄生阻抗，如下图所示；



（5）为减少 SW 信号的 EMI 辐射，应尽量缩短 SW 的布线长路，并用地网络屏蔽；

（6）DCDC 输出电源需经过 106（C6）电容后才给 DCVDD 供电，并保证电容地回路与 PGND 连接良好；

（7）DCDC 模块布局远离敏感信号如晶振、RF、音频信号等，保证地回路完整；

（8）若相应封装未绑出 SW 引脚，则只支持 LDO 模式，如 JL7016C。

2.1.5 VCM、ACM、HPVDD

VCM、ACM、HPVDD 均为模拟音频部分的参考电源。

设计注意事项：

（1）各电源退耦电容地以最短路径大面积回流到 AVSS（部分封装为 DCVSS）；

（2）各电源应避免受其他高频信号干扰，保证电源稳定性，避免影响音频性能；

（3）若相应封装有绑出 HPVDD，LAYOUT 时需在芯片外部走线短接到 IOVDD，未绑出 HPVDD 的封装，芯片内部已短接到 IOVDD。

2.1.6 电源参数

PMU Characteristics						
Symbol	**Parameter**	**Min**	**Typ**	**Max**	**Unit**	**Test Conditions**
VBAT	Voltage Input	2.2	3.7	4.4	V	_
VPWR	Charger supply Voltage	4.5	5.0	5.5	V	_
Operating mode						
IOVDD	Voltage output	2.0	3.0	3.4	V	VBAT = 4.2V, 10mA loading
	Loading current	_	_	120	mA	IOVDD=3V@VBAT = 3.3V
DCVDD	Voltage output	1.0	1.25	1.4	V	IOVDD=3.0V, 10mA loading
	Loading current	_	_	100	mA	DCVDD=1.25V@IOVDD=3.0v On LDO mode
		_	_	180	mA	DCVDD=1.25V@IOVDD=3.0v On DC-DC mode
V_{LVD}	Voltage input	1.8	2.5	2.5	V	Low-Voltage Detection for IOVDD
Low Power mode						
IOVDD	Loading current	_	_	10	mA	IOVDD=3V@VBAT = 4.2V

Battery Charge						
Symbol	**Parameter**	**Min**	**Typ**	**Max**	**Unit**	**Test Conditions**
VPWR	Charge Input Voltage	4.5	5	5.5	V	_
$V_{bat\ float}$	Charge Voltage	4.15	4.2	4.25	V	VPWR＞4.5V
		4.30	4.35	4.40	V	VPWR＞4.65V
I_{bat}	Charge Current	15	_	200	mA	Charge current at fast charge mode VBAT=4.0V@VPWR=5.0V
I_{end}	End Of Charge Current	2	_	30	mA	End of charge current
V_{Trikl}	Trickle Charge	_	3.0	_	V	VPWR＞4.5V

	Voltage					
I_{Trikl}	Trickle Charge Current	1.5	_	30	mA	$V_{BAT}<V_{Trikl}$

2.2 地

JL701N 包含 5 种地网络：

（1）VSS（GND）：芯片数字地，蓝牙射频模块、PMU 模块地，电源地；

（2）PGND：内部 DC-DC 模块数字地，就近短接到主控 VSS（GND）；

（3）AVSS：音频 ADC 地（麦克风、AUX 等参考地）；

（4）DAVSS：音频 DAC 地（音频输出参考地）；

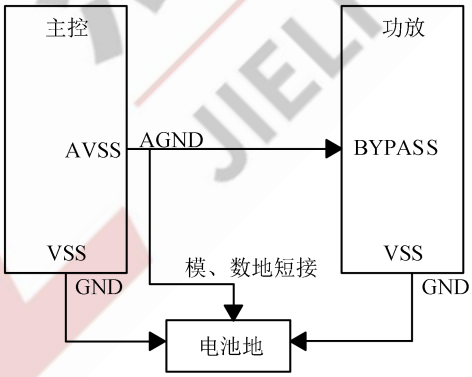
（5）HPVSS：音频输出级功率地（通常可直接耦合至数字地）。

设计注意事项：

（1）JL701N 系列部分型号的 AVSS、DAVSS 和 HPVSS 通过内部合邦短接，统称为音频部分的模拟地(AGND)，除模拟地外的地如 VSS 统称为数字地(GND)；

（2）所有产品必须严格区分模拟、数字地。模拟地在主控管脚位置，单独拉线到电池短接到电池地，走线线宽建议 0.8mm 及以上，保证模拟地回路低阻抗；

（3）主控和功放地需独立回流到电池地，避免共地回路引起噪声，布局时电池尽量放置于主控和功放中间，如下图所示；



（4）GND 网络在 PCB 上需要大面积铺地。设计完整的地回路（面积大、阻抗小）可有效的降低地噪声，提升芯片的 RF、DAC、ADC 性能和抗静电能力。单层、两层板需要格外重视地回流路径的阻抗，检查整个地回路路径（IC 到电池负极），不能出现窄带、细线、破碎的地面。四层及以上板需要单独设计一个地层，保证整个地回路阻抗小。叠层结构可设为 S-P-G-S 或 S-G-P-S，完整地层与高频信号相邻。高频信号走线应避开敏感信号，并尽量用地线包裹；

（5）主控各个电源（如 IOVDD、VBAT、DCVDD、VCM、ACM、HPVDD 等）退耦电容严格按照“标准原理图”取值，必须靠近芯片放置，保证地以最短路径大面积

回流到芯片对应地引脚。

2.3 晶振

24MHz 晶振必须选择精度高、稳定性好、可靠性强的晶振（频率精度±10ppm，负载电容≤12pF），晶振的品质直接决定产品的射频性能、系统的稳定性和可靠度，差的晶振会导致各种不可预期的问题。

外置 32.768KHz RTC 时钟晶振规格要求频率精度±20ppm，负载电容≤15pF，预留负载电容物料，不同产品 layout 晶振信号走线寄生效应有差异，时钟音箱为保证时间误差小，需借助频谱仪等工具，微调负载电容，对晶振频偏进行校准。同一机型不同布局走线、不同机型均需重新校准测试。

设计注意事项：

（1）layout 避开高频数字信号、敏感模拟信号，并用完整的地把晶振信号包裹起来；

（2）晶振管脚附近 IO 口，不建议用于高速翻转的应用，如 PWM 推灯、SPI、IIC、UART 通信等，防止受高频信号干扰，影响蓝牙性能及系统稳定性；

（3）测试晶振信号频偏，需把时钟信号映射到 IO 口输出，再用网分仪测试对应 IO 口频偏。

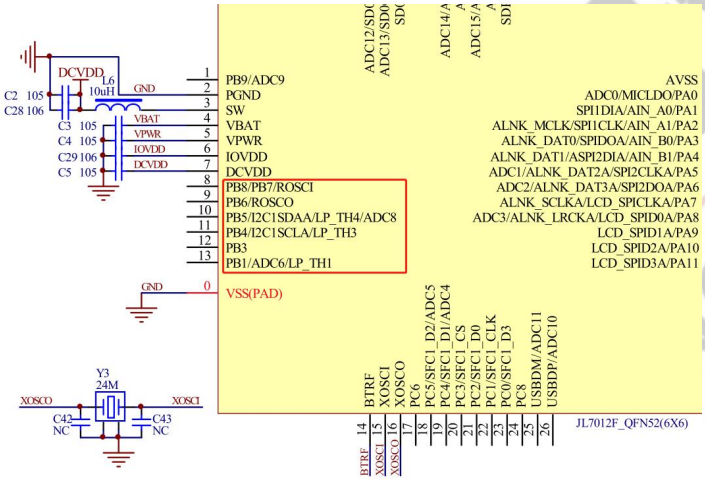
（4）JL 蓝牙射频系列产品，在量产时必须使用我司“蓝牙测试盒”对 PCBA 成品进行蓝牙频偏校准，提高晶振稳定性，确保系统性能最优。

第 3 章　主要功能模块硬件设计说明

3.1　蓝牙模块

3.1.1　原理图设计注意事项

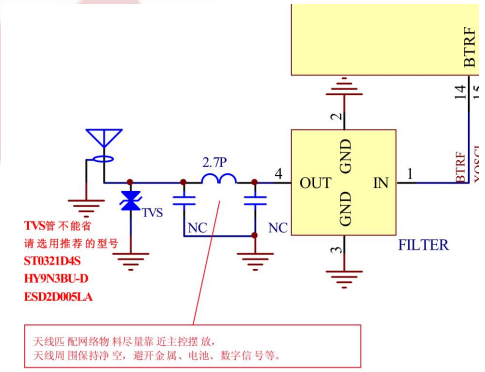
（1）BTRF 管脚到电源部分管脚间的 IO，如下图标识的 IO，不建议用于高速翻转的应用，如推屏、SPI、UART 通信等，防止受高频信号干扰，影响蓝牙性能；



（2）BTRF 管脚旁边 IO 严禁用于高速翻转的应用，走线过长时，建议在靠近主控对应 IO 口附近预留串联电感或对地电容物料（建议电感 120nH，电容 10pF，不同板表现不同，物料需根据实际测试情况调整），以防影响蓝牙性能；

（3）空间允许的情况下，蓝牙天线需采用标准倒 2.4G 天线；

（4）预留 T 型或π型匹配网络，靠近天线端预留 TVS 管，提高抗静电能力，可增加滤波器衰减蓝牙信号高次谐波，防止杂散超标，如下图所示；



（5）蓝牙天线匹配需采用高精度电感、电容物料，以保证产品蓝牙性能的一致性。

（6）广播音箱可预留射频 PA 提升蓝牙距离，如 GSR2501、GSR2401、RFX2401C。PA 建议用单独的低噪声 LDO 供电，PA 接收、发射使能（RXEN、TXEN）可选用任意可支持映射的 GPIO 控制（具体查阅 3.7.3 数字外设端口重映射章节）。

3.1.2 PCB 设计注意事项

（1）布局方面：

a、天线放置于板边，远离电池、金属（如 SD 卡座、USB、触摸铜箔、开关按键等）、人体、DCDC、推屏、USB 信号等干扰源；保证地场尺寸的前提下，加大净空区；

b、远离模拟信号如麦克风、DAC 音频、喇叭等，防止辐射干扰导致高频噪声；

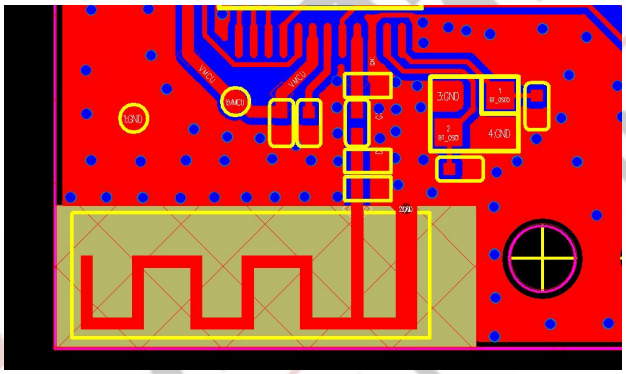
（2）走线方面：

a、走线需严格按 50 欧阻抗设计，可借助阻抗设计工具（如 SI9000），根据板材、板厚、叠层结构设计线宽及线间距，也可让制版厂根据实际工艺进行设计；

b、微带线走线平直、尽可能短且无分支，保证信号传输线连续性，提高传输效率；

c、天线参考地平面保证足够且完整，天线参考地平面及微带线周围放置密集的地过孔，提高辐射效率；

d、天线上添加阻焊层，覆盖锡膏防止氧化，如下图所示；



e、PCBA 需用网分仪进行阻抗匹配，同一机型不同布局走线、不同机型均需重新匹配。实际生产机器物料必须与样机匹配物料一致。

f、必要时可结合板框、板厚、板材、净空区等因素，借助第三方仿真软件如 HFSS，调整天线尺寸，优化天线辐射场和效率。

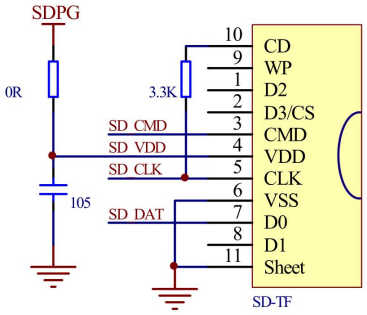
3.2 SDIO 模块

3.2.1 原理图设计注意事项

（1）JL701N 有一个 SDIO 硬件模块，分为 SD0A 和 SD0B 两组，接口定义如下图，A 组或者 B 组只能选其中一个使用，不能同时使用。JL701N 系列芯片 SD 功能可映射至任意 GPIO，SD 外设除了下表所示端口 IO 外，还可以通过寄存器配置，重映射至其他 GPIO 端口，即其他 GPIO 可同样用于 SD 卡功能，从而提高了硬件设计布局走线的灵活性。

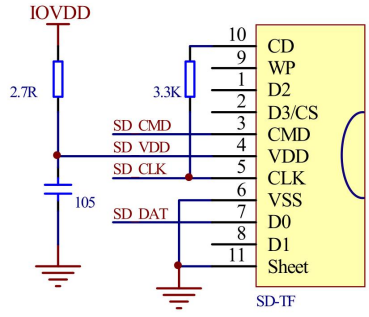
GPIO	功能	GPIO	功能
PC3	SD0DATOA	PG0	SD0DATOB
PC4	SD0CMDA	PG1	SD0CMDB
PC5	SD0CLKA	PG2	SD0CLKB

（2）可外接 eMMC/SD Nand 设备，存储音乐文件用于本地播放（读），也可通过蓝牙、USB、LINEIN、FM 传输文件到 SD 设备（写）。参考电路如下图所示：



（3）软关机音箱方案中，SD 设备用 PE6（SDPG）专用电源供电，驱动能力最大 64mA，提供可配置的电流驱动档位，最强档导通 ESR＜4Ω，软关机状态此电源可关断，降低 SD 卡静态功耗；

（4）开关机电池断电的音箱方案，SD 设备电源也可由 IOVDD 供电，驱动能力更大，对卡的兼容性更强。设计时注意在电源输入脚串小电阻（参考值 2.7R），对地添加 105 或以上电容，参考下图，防止部分卡插入时大电流，IOVDD 拉低导致功能异常。



3.2.2 PCB 设计注意事项

（1）SD 信号线避开敏感模拟信号如：DAC 输出、功放输入、晶振等，防止传导或辐射干扰影响相应模块性能；

（2）走线避免过绕，SD 卡座尽量靠近主控附近摆放；

（3）靠近 SD 卡座附近预留静电管，提高抗静电能力；

（4）SD 信号线靠近主控，预留串联电阻、磁珠及对地电容料，防止杂散超标。

3.3 USB 模块

3.3.1 原理图设计注意事项

（1）集成 1 路 Full Speed USB 外设接口，支持 Host/Slave 模式，两种模式不能同时工作。支持读 U 模式，PC 音乐模式，也可用于主控升级。当不使用 USB 功能时，USBDM、USBDP 脚可当普通 IO 口使用，如独立 IO 按键检测，禁止用于外部接上下拉电阻的应用，以免影响升级；

（2）USB 预留串联电阻及对地电容物料，便于阻抗匹配，提高信号传输质量；

（3）PC 模式下 USB 传输线请选用屏蔽性好的标准规范线材，接口连接器与传输线阻抗要连续，传输线不宜过长，电源、地、信号线需保证足够粗，避免反射导致信号完整性问题；

（4）靠近 USB 接口处预留 ESD 器件，提高抗静电能力。

3.3.2 PCB 设计注意事项

（1）USBDM、USBDP 差分线走线尽量短并做等长处理，严禁直角走线；

（2）差分线上尽量不要超过两对过孔（过孔会增加线路的寄生电感，从而影响线路的信号完整性），且需对称放置；

（3）差分线所对应的参考地必须完整，不要被分割；

（4）USBDM、USBDP 远离高频数字模块如：DCDC、推屏信号等，防止受干扰导致传输信号质量变差；远离 DAC 音频信号，防止干扰音频信号产生噪声；

（5）靠近 USB 座附近预留静电管，提高抗静电能力；

（6）USB 信号线靠近主控，预留串联电阻、磁珠及对地电容料，防止杂散超标。

3.4 AUDIO ADC 模块

JL701N 具有 4 路 24bit ADC，可同时支持 4 路 AUX、MICIN、其他模拟音源如外挂收音芯片信号输入，支持单端及差分输入方式。接口定义如下表：

GPIO	功能	注意事项
PA0	MICLDO	内部线性稳压器输出，可给麦提供外部偏置电压
PA1	AIN_A0	单端：通道 0 输入，差分：通道 0 P 端输入
PA2	AIN_A1	单端：通道 0 偏置输出，差分：通道 0 N 端输入
PA3	AIN_B0	单端：通道 1 输入，差分：通道 1 P 端输入

PA4	AIN_B1	单端：通道 1 偏置输出，差分：通道 1 N 端输入
PG8	AIN_C0	单端：通道 2 输入，差分：通道 2 P 端输入
PG7	AIN_C1	单端：通道 2 偏置输出，差分：通道 2 N 端输入
PG6	AIN_D0	单端：通道 3 输入，差分：通道 3 P 端输入
PG5	AIN_D1	单端：通道 3 偏置输出，差分：通道 3 N 端输入

3.4.1 原理图设计注意事项

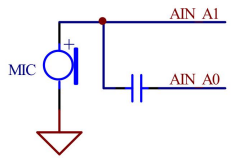
（1）Audio ADC 管脚附近的 IO 口，严禁用于高速翻转的应用，如 PWM 推灯、SPI、IIC、UART 通信等，防止受高频信号干扰，影响音频性能；

（2）MICIN、AUX 等模拟信号单端输入时，只能从 AIN_A0/B0/C0/D0 管脚输入；

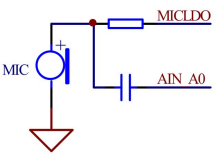
（3）差分输入时，A0/A1，B0/B1，C0/C1，D0/D1 为差分对信号，0 为正端、1 为负端，不能任意更换；

（4）驻极体 MICIN 使用方式分如下 5 种，单端模式 AIN_A0、AIN_B0、AIN_C0、AIN_D0 各自偏置电压可由内部偏置电源 AIN_A1、AIN_B1、AIN_C1、AIN_D1 供电(即对应的 MICBIAS)，也可用 MICLDO 供电。MICLDO 是内部线性稳压器输出，电压大小可根据不同麦克风需求调节。MICBIAS 是在 MICLDO 功能上增加内部偏置电阻，使用驻极体麦克风时可省外部偏置电阻。

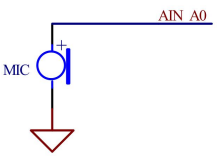
a、单端 MICIN（外部带隔直电容且使用芯片内置电阻）连接示意图如下：



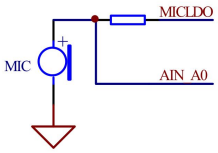
b、单端 MICIN（外部带隔直电容且使用外置电阻）连接示意图如下：



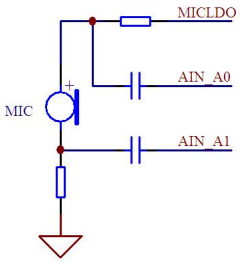
c、单端 MICIN（省电容且使用芯片内置电阻）连接示意图如下：



d、单端 MICIN（省电容且使用外置电阻）连接示意图如下：



e、差分 MICIN（外部带隔直电容且使用外置电阻）连接示意图如下：

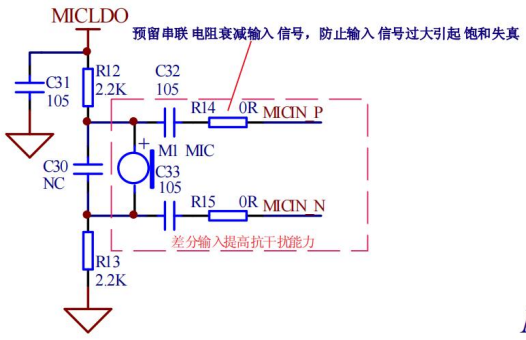


（5）差分模式 AIN_A0、AIN_B0、AIN_C0、AIN_D0 麦偏置电压只能用 MICLDO 供电，因为 AIN_A1、AIN_B1、AIN_C1、AIN_D1 需当作差分信号负端输入；

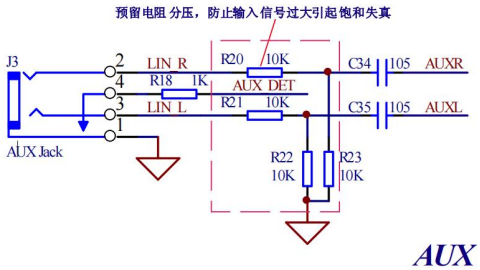
（6）做省隔直电容麦应用时，MICIN 只能从 AIN_A0、AIN_B0 输入；

（7）MICIN 信号管脚预留对地电容物料，以滤除高频干扰信号；

（8）单端模式下 AIN_A0、AIN_B0、AIN_C0、AIN_D0 软件可配支持最大输入电平范围 1.2Vpp 和 2.0Vpp 两种模式，差分模式下只支持最大输入电平范围 1.2Vpp。为提高输入信号的音频指标，对输入动态大的音频信号，建议用 2.0Vpp 的输入模式。为避免输入信号过大导致 ADC 饱和失真，MICIN、AUX 等模拟信号需预留电阻衰减输入信号，确保芯片输入管脚信号最大不超过允许范围，如下图所示；



MIC



AUX

（9）注意 JL701N 无模拟直通通路，本节介绍的内容同时适应 MICIN、AUX 和其他模拟音频信号输入，共用 Audio ADC 输入通道。

3.4.2 PCB 设计注意事项

（1）麦克风等模拟音频输入信号属于敏感信号，布局走线应远离高速数字信号如功放 DCDC 电感、推屏信号、RF 天线等，避免与之相邻或并行走线；

（2）整个音频信号布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响；

（3）所有模拟信号参考地需用模拟地 AVSS（DAVSS），走线时需和相应的信号线并行走线，减小环路面积，并与主控 AVSS（DAVSS）管脚单点连接，走线尽可能宽，减小回路阻抗，保证良好的信噪比；

（4）靠近音频输出卡座（麦克风、LINEIN 座）附近预留静电管，提高抗静电能力；

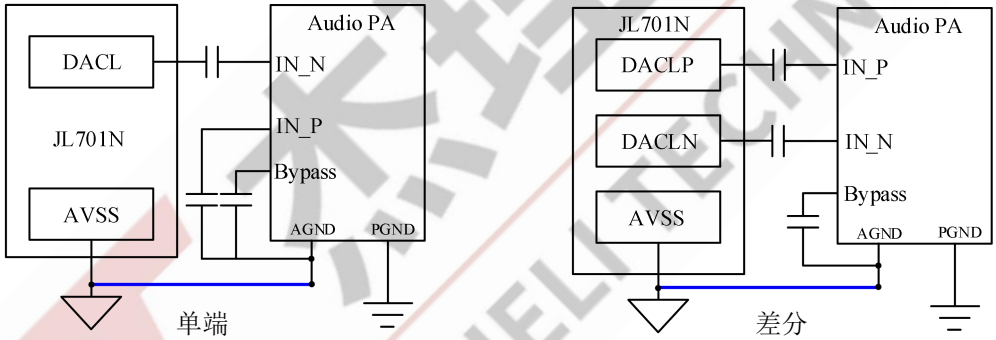
（5）信号输入靠近主控端，预留串联电阻、磁珠及对地电容料，防止杂散超标；

（6）优先选用差分输入方式，提高抗干扰能力。

3.5 AUDIO DAC 模块

3.5.1 原理图设计注意事项

（1）JL701N 24-bit DAC 支持最多两声道单端和差分输出，接法如下图所示（以左声道输出为例）；



（2）DAC 输出支持两种模式，不同模式最大电平输出幅度不一样，具体如下表所示，可根据应用场景灵活选择；

模式	输出形式	最大输出电平
DAC_MODE_H2	单端隔直推	2.44Vpp
	差分	4.9Vpp
DAC_MODE_H1	单端隔直推	1.46Vpp
	差分	2.8Vpp

（3）DAC 单端输出隔直电容尽量保证 105 或以上，以减小对低频频响的衰减；

（4）DAC 管脚附近的 IO，严禁用于高速翻转的应用，如 PWM 推灯、SPI、IIC、UART 通信等，防止受高频信号干扰，影响音频性能。

3.5.2 PCB 设计注意事项

（1）布局时尽量把音频模拟部分和高频数字部分分隔开；

（2）DAC 模拟音频输出信号属于敏感信号，走线应远离高速数字信号布线如功放 DCDC 电感、推屏信号、RF 天线等，避免与之相邻或并行走线；

（3）整个音频信号布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响；

（4）所有模拟信号参考地需用模拟地 AVSS（DAVSS），走线时需和相应的音频信号线并行走线，减小环路面积。主控端与 AVSS（DAVSS）管脚连接，功放端与功放音频模拟参考地连接。走线尽可能宽，减小回路阻抗，保证良好的信噪比；

（5）DAC 信号输出靠近主控，预留串联电阻、磁珠及对地电容料，防止杂散超标。

（6）优先选用差分输出方式，提高输出动态范围及抗干扰能力。

3.6 外置功放模块

3.6.1 原理图设计注意事项

（1）音箱产品必须外加功放驱动扬声器。根据产品功率要求，选取输出功率与扬声器匹配的功放，避免功放功率过大、过小导致喇叭破音、驱动力不够；

（2）功放的输入端电源需确保功率大于功放的最大输出功率，考虑到功放的实际效率问题，尽量保证输入电源的功率比功放最大输出功率大 50%以上，避免大功率播放音乐时，输入电源驱动能力不够，而导致功能异常等问题；

（3）功放器件的选型严格参照数据手册选取，对于带升压的功放，必须确保功率电感及二极管的电流足够，保证滤波电容耐压足够；

（4）FM 模式时尽量使用 AB 类功放，D 类功放高频信号易对 FM 信号产生干扰；

（5）D 类功放输出预留串联磁珠、对地电容，避免杂散超标，扬声器传输线不宜过长，必要时可在扬声器预留磁环；

（6）功放的电源尽量与主控芯片电源独立开，主控建议用单独的稳压芯片供电；功放大功率播放音乐时，电源驱动能力不够时可能存在较大纹波，如果主控使用相同电源网络，电源不稳定会导致主控不可预料的问题；

（7）功放 BYPASS 地接 DAC 音频模拟地 AVSS（DCVSS），确保 BYPASS 电容容值足够，开机时保证功放音频输入信号快于 BYPASS 电容上电速度，防止 POP 声。

3.6.2 PCB 设计注意事项

（1）功放布局远离高频数字部分如 SD_CARD、USB、蓝牙天线、推屏等，防止音频输入受干扰；远离敏感模拟音频信号如麦、AUX、DAC、FM 等信号，防止干扰模拟音频信号；

（2）功放工作电流大，电源走线时需保证足够线宽，必要时开窗补锡膏提高载流能力；

（3）功放衬底大面积接地，并多打过孔，背面开窗加锡，便于散热，大功率功放建议加散热器；

（4）保证功放地回路到电池负极的完整性，避免与主控数字地产生共地回路，从而导致主控参考地不干净，引起共地噪声问题，条件允许的情况下，电池放置于主控及功放的中间；

（4）功放输出正负极极性必须与喇叭极性对应，以免影响听感效果；

（6）功放部分的布局走线严格按照功放手册要求执行。

3.7 GPIO

3.7.1 电气特性

JL701N 芯片 I/O 耐压情况可分为：普通 I/O 和耐高压 I/O，普通 I/O 电压输入范围：0~IOVDD(由 IOVDD 的电压档位配置决定)；耐高压 I/O 电压输入范围：0~5V(可用于电平逻辑大于 IOVDD 的输入应用，如默认上拉至 VBAT 的功放使能控制、5V 电源充电插入检测等功能)。

耐高压 IO 只有 PC6/PC7/VPWR 三个。

GPIO 驱动能力可通过寄存器配置 HD 和 HD0，配置 3 个驱动档位，如下表所示。

Port	Drive Current		Internal Pull-Up Resistor	Internal Pull-Down Resistor	VIL	VIH
PA0~PA15 PC0~PC5,PC8 PG0~PG8 PE5,PE6	HD,HD0==0,1	8mA	10K	10K	0.3*IOVDD	0.7*IOVDD
	HD,HD0==1,0	26mA				
	HD,HD0==1,1	46mA				
PB0~PB11 PC6,PC7 PP0(VPWR)	8mA		10K	10K		
USBDP	4mA		1.5K	15K		
USBDM	4mA		180K	15K		

（1）耐高压 GPIO 及 PB 口驱动能力只有 8mA 档位，对 I/O 驱动电流有要求时，可使用其他普通 I/O 并注意电流档位的使用并保留电流余量；

（2）所有 I/O 都有内置上拉和下拉电阻，阻值如上表所示，电阻精度±20%，如对精度要求较高，请使用外置高精度电阻；

（3）JL701N 的 IO 口可支持唤醒功能，进 sniff 模式可任意按键唤醒，可设置为长按复位/边沿唤醒/脉冲计数等功能。具体 IO 为：PA,PB,PC,PG,VPWR，USBDP，USBDM。

（4）PB1 默认内部上拉，接低电平 4 秒可系统复位，复位触发时间软件可配置（最长 16S），复位功能可屏蔽，也可映射到其他 GPIO（除 PE 端口）上实现长按复位功能；

3.7.2 软开机/上电开机 IO 特殊状态

部分 IO 在开机初始化过程中存在默认上下拉状态，设计时请避免因初始化默认状态，引起功能异常误触发现象，如推灯、推屏误闪及外设控制误开等。

主控不断电方案：

软开关机唤醒时，IO 可分为下表的三类，初始化过程中，所有 IO 都可控，可用于推灯、推屏等应用。

上、下拉、高阻可设	任意状态可设	保持（软关机前的状态）
USBDM,USBDP	PG2,PG3,PG4,VPWR	其他 I/O

主控断电方案：

上电开机时，下表 IO 在初始化过程中具备默认上下拉状态，用于推灯、推屏及其他控制等应用时，需留意是否会误触发。

上拉	下拉
PB1,PG4	USBDM,USBDP

3.7.3 数字外设端口重映射

JL701N 内置了很多数字外设资源，这些外设与 GPIO 复用，每个外设都有若干个默认对应的 GPIO 端口。

为了更灵活地安排引脚的走线和功能，JL701N 设计了数字外设端口重映射功能，即一个外设除了具有默认的端口 GPIO 外，还可以通过寄存器配置，把外设功能重映射至其他 GPIO 端口。

支持重映射的外设端口包括（可映射至 PA,PB,PC,PG,VPWR,DM,DP 对应端口）：

（1）唤醒/中断×12 路；

（2）Uart0/1/2；

（3）Spi1/2；

（4）I2C0；

（5）QDEC0/1/2；

（6）PWM；

（7）LCDTE，LCDCS，LCDA0，LCDRST；

（8）IIS；

（9）SDIO。

设计注意事项：

（1）部分外设功能只支持在 PB 端口映射：Uart3，SPI4 和 I2C1；

（2）PD 和 PE 端口不支持数字外设重映射功能；

（3）重映射功能对于高速数字信号通信可能产生影响，建议优先使用默认端口。

3.7.4 IIS

IIS 是一个通用的双声道音频接口，用于连接片外的 DAC 或 ADC，连接信号有 MCLK、SCLK、LRCK、DATA，可配置为主机模式或从机模式。支持 IIS/左对齐/右对齐基本模式和 DSP0/DSP1 扩展模式，原生支持 16/24bit 数据位宽，对 18/20/32bit 位宽设备可提供兼容支持，具备 4 条独立通道。JL701N 共有一个 IIS 硬件接口，分为 A/B 两组，A 组或者 B 组只能选其中一个使用，不能同时使用。

GPIO	功能	GPIO	功能
PA2	ALNK_MCLKA	PC6	ALNK_MCLKB
PA7	ALNK_SCLA	PC2	ALNK_SCLKB
PA8	ALNK_LRCKA	PC3	ALNK_LRCKB
PA3	ALNK_DAT0A	PC0	ALNK_DAT0B
PA4	ALNK_DAT1A	PC1	ALNK_DAT1B
PA5	ALNK_DAT2A	PC4	ALNK_DAT2B
PA6	ALNK_DAT3A	PC5	ALNK_DAT3B

设计注意事项：

（1）4 条通路只能同时工作于基本或扩展模式，不可一些通道工作于基本模式，另一些工作于扩展模式；

（2）基本模式下每条通路都只支持双声道立体声，扩展模式下每条通路均支持单声道或立体声；

（3）4 条独立通道可相互独立工作，每条通道可单独配置为输入或输出，也可配置为不同的连接模式，但它们共用 MCLK、SCLK、LRCK 信号，使用时有一定限制；

（4）IIS 信号线避开敏感模拟信号如：DAC 输出、功放输入、晶振等，防止传导或辐射干扰产生噪声；

（5）IIS 功能可重映射到其他 GPIO 口使用，硬件设计更加灵活；

（6）IIS 信号靠近主控预留串联电阻、磁珠及对地电容料，防止杂散超标。

3.7.5 IIC

IIC 接口是一个标准的遵守 IIC 协议的串行通信接口，在上面传输的数据以 Byte

（8bit）为最小单位，且永远是 MSB 在前，支持主机和从机两种模式。一共包含有两个 IIC 硬件接口，分别为 IIC0 和 IIC1，每个 IIC 分为 A/B 两组。注意：同一个 IIC 接口 A 组或者 B 组只能选其中一个使用，不能同时使用。接口定义如下图所示：

IIC0				IIC1			
GPIO	功能	GPIO	功能	GPIO	功能	GPIO	功能
USBDP	IIC0_SCL_A	PC4	IIC0_SCL_B	PB4	IIC1_SCL_A	PB9	IIC1_SCL_B
USBDM	IIC0_SDA_A	PC5	IIC0_SDA_B	PB5	IIC1_SDA_A	PB10	IIC1_SDA_B

设计注意事项：

（1）IIC 信号线避开敏感模拟信号如：DAC 输出、功放输入、晶振等，防止传导或辐射干扰产生噪声；

（2）IIC 靠近主控预留串联电阻、磁珠及对地电容料，防止杂散超标；

（3）IIC 可重映射到其他 GPIO 口使用，其中 IIC0 支持重映射的外设端口包括：PA,PB,PC,PG,VPWR,USBDM,USBDP 对应端口，IIC1 只能重映射到 PB 口。

3.7.6 UART

JL701N 芯片共有 4 个 UART 硬件模块，接口定义如下图所示，分别为 UART0、UART1、UART2、UART3，每个 UART 分为 A/B 两组，注意：同一个 UART 接口 A 组或者 B 组只能选其中一个使用，不能同时使用。

UART0				UART1			
GPIO	功能	GPIO	功能	GPIO	功能	GPIO	功能
PA5	UART0TXA	VPWR	UART0TXB	PA1	UART1TXA	USBDP	UART1TXB
PA6	UART0RXA	VPWR	UART0RXB	PA2	UART1RXA	USBDM	UART1RXB

UART2				UART3			
GPIO	功能	GPIO	功能	GPIO	功能	GPIO	功能
PC4	UART2TXA	PA7	UART2TXB	PB2	UART3TXA	PB4	UART3TXB
PC5	UART2RXA	PA8	UART2RXB	PB3	UART3RXA	PB5	UART3RXB

设计注意事项：

（1）UART 信号线避开敏感模拟信号如：DAC 输出、功放输入、晶振等，防止传导或辐射干扰产生噪声；

（2）UART 靠近主控预留串联电阻、磁珠及对地电容料，防止杂散超标；

（3）UART 功能可重映射到其他 GPIO 口使用，UART0/1/2 支持重映射的外设端口包括：PA,PB,PC,PG,VPWR,USBDM,USBDP 对应端口，UART3 只能重映射到 PB 口。

第 4 章　认证相关

4.1　防静电设计

静电防护主要目的：

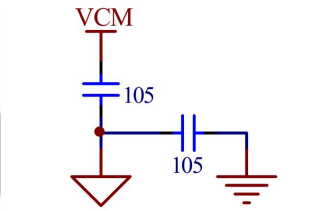
（1）防止产品生产、运输及终端客户使用的情况下，由于生产环境在干燥低温、或其他情况下产生的强静电，而造成电子器件功能异常或性能变差的情况；

（2）为了通过电子产品的防静电测试标准。

4.1.1　硬件设计阶段防静电措施

（1）产品结构设计阶段，尽量增加产品模具的壳体厚度，做好密封，加大 PCBA 与壳体的间距，来堵住或者削弱外界静电干扰源；

（2）在 VCM 退耦电容处，用 105 电容连接 AGND 和 GND；



（3）板边为易受静电干扰的地方，因此板边尽量不要走信号线，敏感器件尽量放置于板的中间位置，且最好用 GND 铺铜处理；

（4）对易受静电影响的敏感信号及器件做静电加强措施。

a、靠近 RF 天线入口，必须预留 TVS 管（寄生电容小于 0.5pF），靠近芯片 BTRF 脚预留 2.4G 滤波器。RF 布线、RF 天线必须远离静电入口，条件允许的情况下，尽量选用倒 F 天线或其他双极性天线，天线做盖油、打胶处理；

b、充电输入脚预留 TVS 管，降低充电插入静电及浪涌危害；

c、成品可触碰接口处信号线必须预留 ESD 管，如按键、USB、LINEIN、SD 卡等；

d、静电有尖角放电特性，铺铜时应尽量避免尖角，特别是敏感信号附近，有尖角应尽量补铜箔使其平滑。

（5）保证地的完整性，裸露的接口如 USB、LLINEIN、SD 卡等布局、布局尽量靠近电池，多打地过孔。地回路必须大面积铺地回流到电池地，避免铺地出现窄带、细线、破碎等现象，必要时可以设计为多层板，其中一层设计为完整的地层，让外界进入 PCBA 的静电尽快通过地疏散开。大部分认证相关的静电问题均可通过优化地回路处理。

4.1.2　生产阶段防静电措施

产品生产有很多工序，要求每一个生产环节都要做好静电源头的屏蔽措施，如 PCB 贴片、PCBA 抽检、组装、测试、成品包装、运输等环节。具体如下：

（1）任何跟芯片、PCBA 直接接触的设备环境，必须做好静电防护处理；

（2）SMT 贴片阶段，建议先贴电阻、电容、ESD 管等，最后贴 IC 芯片；

（3）后焊、组装及测试阶段，员工必须佩戴防静电手环、手套，穿静电防护衣服、鞋子等，包括所有需要用到的工具，都必须做好静电防护措施；

（4）包装材料要规避容易产生静电的材料；

（5）运输过程，做好包装处理，隔绝静电。

4.2 EMC 优化设计

电磁兼容性设计的目的是使电子设备既能抑制各种外来的干扰，使电子设备在特定的电磁环境中能够正常工作，同时又能减少电子设备本身对其它电子设备的电磁干扰。

预防 EMC 问题的设计成本远小于出现 EMC 问题后的整改成本，建议需过 EMC 认证的项目，预防为主，防治结合，硬件设计阶段合理布局、LAYOUT，对容易造成电磁兼容的信号、器件预留整改物料位置，再根据样机实际测试情况进行整改。建议如下：

（1）保证接地点良好，地的完整性是控制干扰和防止被干扰的重要方法，如果能将正确的接地和屏蔽结合起来，可解决大部分干扰问题，尽量加大加粗接地回路，否则变化的大电流会导致信号电平不稳定，抗噪声能力变差，建议做 4 层板，保证至少有一层完整地平面；

（2）任何高频数字信号，都极易产生干扰，导致杂散辐射超标，由于高频信号在 PCB 上走线会产生瞬变电流，导线的寄生电感把电信号转换为磁信号辐射出去。硬件设计需尽量减小信号线走线的电感量。导线的电感量与其长度成正比、宽度成反比。因此，走线要求尽可能短，线尽可能宽。信号线周围用地网络包裹起来；

（3）在器件布局方面，应把同模块相互关联的器件尽量靠近放置，提高抗干扰能力；对易产生高频信号的器件如 FLASH、SD 卡、USB，尽量靠近主控放置。同时，高频数字信号预留串联电阻、串联磁珠、对地电容位，喇叭线、USB 线预留磁环，以便方便整改；

（4）预留屏蔽罩，覆盖主控及其他高速通信模块，如 FLASH 等，必要时可贴上屏蔽罩，并保证屏蔽罩与地网络连接良好。